
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 2003/2004

September/Oktober 2003

EEE 130 – ELEKTRONIK DIGIT I

Masa : 3 jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi **DUABELAS (12)** muka surat termasuk 1 Lampiran bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

Agihan markah bagi soalan diberikan disut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Nyatakan satu kebaikan dan satu kelemahan kod BCD berbanding sistem nombor binari.

State one advantage and one disadvantage of BCD code compared to binary number system.

(4 markah)

- (b) Apakah nombor terbesar yang boleh diwakili menggunakan 2 bait di dalam sistem nombor binari?

What is the largest number that can be represented using 2 bytes in binary number system?

(4 markah)

- (c) Di dalam satu sistem digital, nombor perpuluhan daripada 000 hingga 999 diwakili oleh kod BCD. Bit kesetaraan ganjil dimasukkan pada akhiran setiap kumpulan kod yang dihantar untuk mengesan kesilapan. Bagi kumpulan kod di bawah, nyatakan sama ada kod yang dihantar mempunyai kesilapan atau tidak. Jika terdapat kesilapan, nyatakan bilangan kesilapan dan berikan alasan yang bersesuaian.

In a certain digital system, the decimal numbers from 000 through 999 are represented in BCD code. An odd-parity bit is also included at the end of each code group to detect errors. For the following code groups, determine either the code groups contains any error or not. If any, determine the number of errors and give an appropriate reason for your answer.

- (i) 1001011110000
(ii) 0111110000011
(iii) 0011100110011

(6 markah)

...3/-

- (d) Wakilkan persamaan $Z=Y+25$ di dalam kod ASCII dengan bit kesetarafan genap ditambahkan pada MSB untuk mengesan kesilapan. Berikan jawapan anda dalam bentuk perenambelasan (Hex).

Represent the statement $Z=Y+25$ in ASCII code with an even-parity bit attached at MSB for error detection. Provide your answer in the form of hexadecimal representation.

(6 markah)

2. (a) Sebutkan mengapa get NAND dan NOR dikenali sebagai get universal?

State why NAND and NOR gates are called universal gates?

(2 markah)

(b)

| A | B | C | Y |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

Jadual 2(a)
Table 2(a)

- (i) Dapatkan persamaan Boolean bagi jadual kebenaran dalam Jadual 2(a). Permudahkan jawapan anda dengan menggunakan teorem Boolean atau DeMorgan's.

Get the Boolean expression for the truth table in Table 2(a). Simplify your answer using Boolean or DeMorgan's theorem.

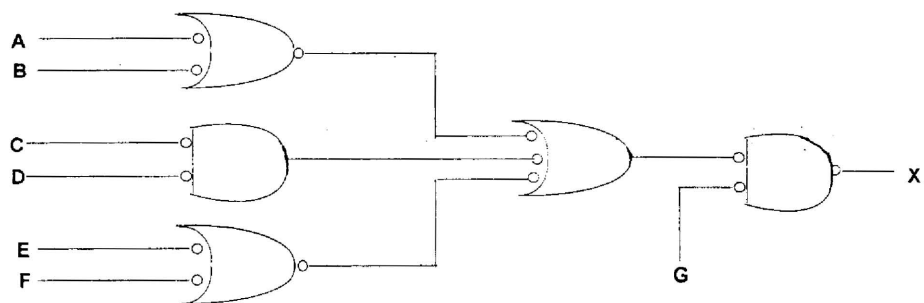
...4/-

- (ii) Lukiskan satu litar dengan hanya menggunakan get logik NAND dua-input untuk persamaan Boolean termudah yang diperolehi di dalam soalan 2(b)(i).

Draw a circuit using only two-input NAND gates for the simplified Boolean expression in question 2(b)(i).

(8 markah)

(c)



Rajah 2(a)
Figure 2(a)

- (i) Bina semula litar di dalam Rajah 2(a) dengan menggantikan simbol-simbol logik alternatif dengan simbol-simbol logik piawai.

Redesign the circuit in Figure 2(a) by substituting alternate logic symbols with standard logic symbols.

- (ii) Dapatkan persamaan Boolean termudah bagi litar yang dibina di dalam soalan 2(c)(i).

Find the simplified Boolean expression for the circuit in question 2(c)(i).

...5/-

- (iii) Jika keluaran $X = 0$, tentukan keadaan logik untuk setiap satu masukan A hingga G.

If output $X = 0$, determine the logic condition for each input A through G.

(10 markah)

3. (a) Permudahkan persamaan Boolean berikut menggunakan peta Karnaugh.
Simplify the following Boolean expression using Karnaugh map.

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + A\overline{B}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}\overline{B}CD$$

(6 markah)

- (b) Berdasarkan kepada Rajah 3(a), mentol Y akan menyala dengan terang jika arus yang melaluinya melebihi 4.5 A. Jika logik keluaran '1' mewakili keadaan mentol menyala dengan terang dan logik keluaran '0' mewakili keadaan mentol menyala dengan malap atau tidak menyala, dapatkan:

Based on Figure 3(a), menthol Y is bright if more than 4.5 A of the current flows through it. If output logic '1' represents the situation where the menthol Y is bright and output logic '0' represents the situation where the menthol Y is dim or off, find:

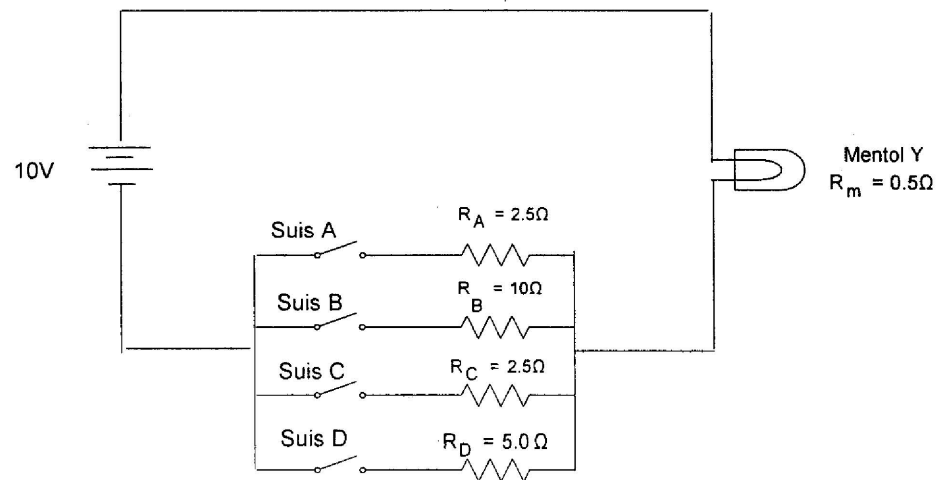
- (i) Jadual kebenaran yang lengkap.
Complete truth table.

- (ii) Persamaan Boolean termudah.
Simplified Boolean expression.

- (iii) Rekabentuk litar logik.
Logic circuit design.

(14 markah)

...6/-



Rajah 3(a)
Figure 3(a)

4. (a) Huraikan dengan ringkas berkenaan perkara-perkara berikut:

Explain briefly the following:

- (i) Maksud 'D' pada flip-flop D.

The meaning of 'D' in D flip-flop.

- (ii) Istilah terpicu-pinggir.

The term edge-triggered.

- (iii) Istilah input segerak dan input tak segerak.

The term synchronous and asynchronous inputs.

(6 markah)

...7/-

- (b) Lukiskan rekabentuk litar logik untuk flip-flop RS. Nyatakan perubahan yang perlu dilakukan pada rekabentuk litar flip-flop RS tersebut untuk menukarkannya kepada flip-flop JK. Apakah kelebihan flip-flop JK berbanding flip-flop RS?

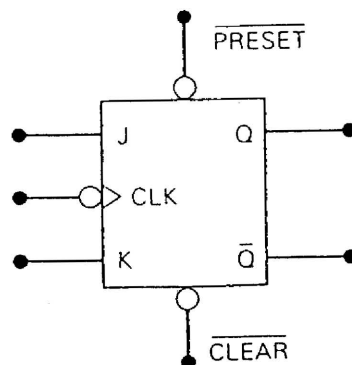
Sketch the logic circuit design for RS flip-flop. State the changes that should be done on circuit design of RS flip-flop to be changed to JK flip-flop. What is the advantage of JK flip-flop compared to RS flip-flop?

(6 markah)

- (c) Untuk simbol logik flip-flop JK di dalam Rajah 4(a), lukis gelombang keluaran Q pada ruang yang disediakan di bawah Rajah 4(b). Ceraikan dan hantar bersama-sama buku jawapan.

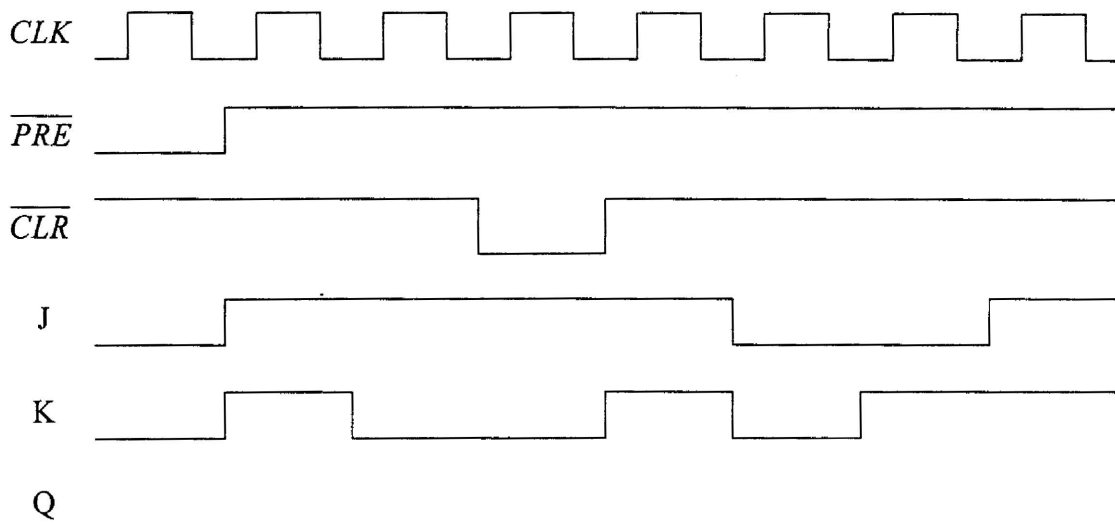
For logic symbol of JK flip-flop as shown in Figure 4(a), draw the output Q waveform in the provided section below Figure 4(b). Detach and submit it together with the answer sheets.

(8 markah)



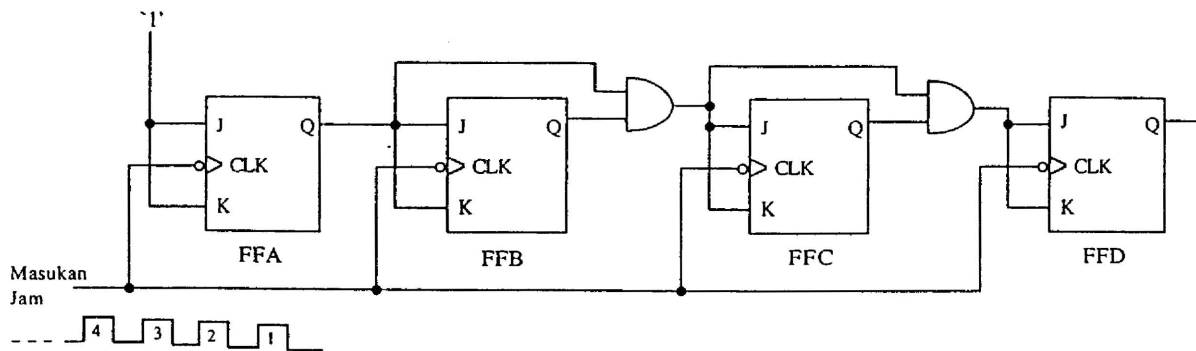
Rajah 4(a)
Figure 4(a)

...8/-



Rajah 4(b)
Figure 4(b)

5. (a) Berikan definisi dan penerangan berkenaan lengah perambatan.
Define and describe propagation delay.
- (7 markah)
- (b) Berdasarkan kepada rekabentuk litar Rajah 5(a), lengkapkan keadaan logik di dalam Jadual 5(a). Apakah fungsi litar tersebut?
- Based on the circuit design in Figure 5(a), complete the logic state in Table 5(a). What is the function of the circuit?*



Rajah 5(a)
Figure 5(a)

| Masukan Jam Clock Pulse | Masukan Flip-Flop JK JK Flip-Flops Input | | | | Keluaran Flip-Flop JK JK Flip-Flops Output | | | |
|----------------------------|---|-----|-----|-----|---|-----|-----|-----|
| | FFA | FFB | FFC | FFD | FFA | FFB | FFC | FFD |
| 1 | 1 | | | | | | | |
| 2 | 1 | | | | | | | |
| 3 | 1 | | | | | | | |
| 4 | 1 | | | | | | | |
| 5 | 1 | | | | | | | |
| 6 | 1 | | | | | | | |
| 7 | 1 | | | | | | | |
| 8 | 1 | | | | | | | |
| 9 | 1 | | | | | | | |
| 10 | 1 | | | | | | | |
| 11 | 1 | | | | | | | |
| 12 | 1 | | | | | | | |
| 13 | 1 | | | | | | | |
| 14 | 1 | | | | | | | |
| 15 | 1 | | | | | | | |
| 16 | 1 | | | | | | | |

Jadual 5(a)
Table 5(a)

(13 markah)

...10/-

6. (a) Tunjukkan jadual kebenaran, persamaan Boolean dan litar rekabentuk bagi satu penolak-separuh. Apakah yang perlu dilakukan pada litar penolak-separuh untuk berfungsi sebagai penambah-separuh?

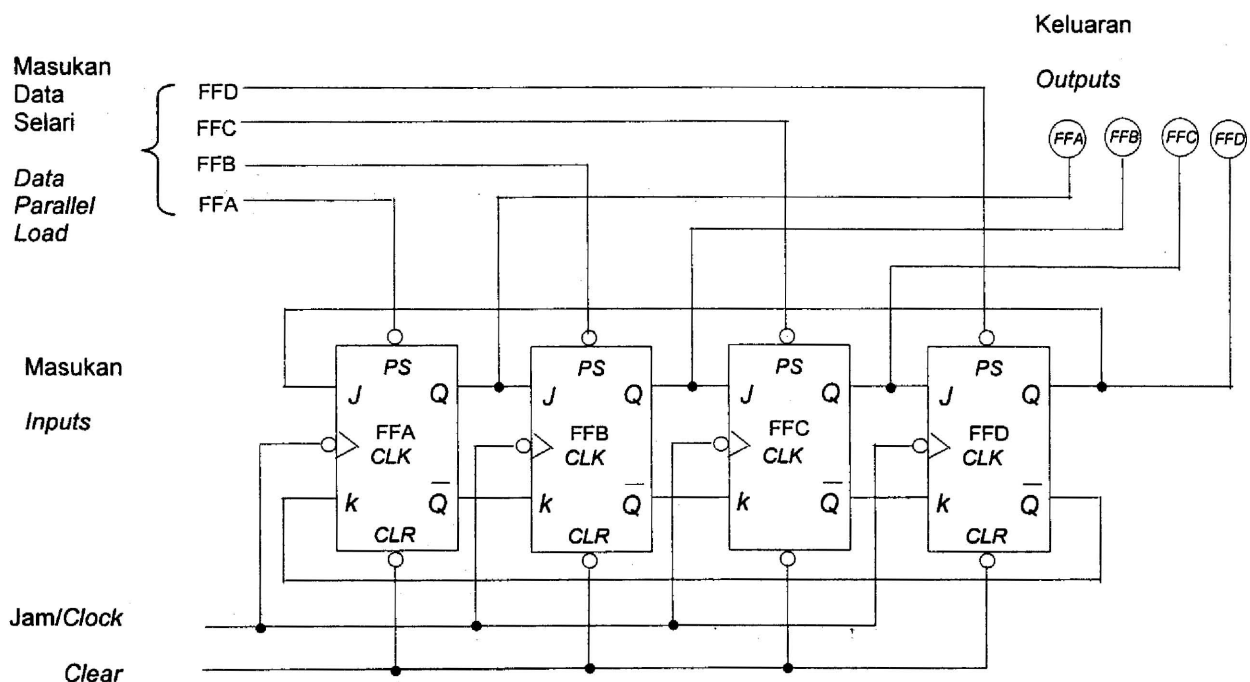
Show truth table, Boolean expression and circuit design for a half-subtractor. What should be done on half-subtractor circuit to be function as a half-adder?

(10 markah)

- (b) Berdasarkan kepada rekabentuk litar Rajah 6(a), lengkapkan keadaan logik keluaran bagi FFA, FFB, FFC dan FFD di dalam Jadual 6(a). Apakah fungsi litar tersebut?

Based on the circuit design in Figure 6(a), complete the output logic state for FFA, FFB, FFC and FFD in Table 6(a). What is the function of the circuit?

(10 markah)



Rajah 6(a)
Figure 6(a)

...11/-

Jadual 6(a)
Table 6(a)

| Masukan Jam Clock Pulse | Masukan Flip-Flop JK <i>JK Flip-Flops Input</i> | | | | | Keluaran Flip-Flop JK <i>JK Flip-Flops Output</i> | | | |
|----------------------------------|--|-----|-----|-----|-----|--|-----|-----|-----|
| | CLR | FFA | FFB | FFC | FFD | FFA | FFB | FFC | FFD |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | | | | |
| 0 | 1 | 1 | 0 | 1 | 1 | | | | |
| 1 | 1 | 1 | 1 | 1 | 1 | | | | |
| 2 | 1 | 1 | 1 | 1 | 1 | | | | |
| 3 | 1 | 1 | 1 | 1 | 1 | | | | |
| 4 | 1 | 1 | 1 | 1 | 1 | | | | |
| 5 | 1 | 1 | 1 | 1 | 1 | | | | |
| | 0 | 1 | 1 | 1 | 1 | | | | |
| | 1 | 1 | 0 | 0 | 1 | | | | |
| 6 | 1 | 1 | 1 | 1 | 1 | | | | |
| 7 | 1 | 1 | 1 | 1 | 1 | | | | |
| 8 | 1 | 1 | 1 | 1 | 1 | | | | |
| 9 | 1 | 1 | 1 | 1 | 1 | | | | |
| 10 | 1 | 1 | 1 | 1 | 1 | | | | |

ooo0ooo

AMERICAN STANDARD CODE FOR
INFORMATION INTERCHANGE

| | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| 0000 | NUL | DLE | SP | 0 | @ | P | \ | P |
| 0001 | SOH | DC1 | ! | 1- | A | Q | a | q |
| 0010 | STX | DC2 | " | 2 | B | R | b | r |
| 0011 | ETX | DC3 | = | 3 | C | S | c | s |
| 0100 | EOT | DC4 | \$ | 4 | D | T | d | t |
| 0101 | ENQ | NAK | % | 5 | E | U | e | u |
| 0110 | ACK | SYN | & | 6 | F | V | f | v |
| 0111 | BEL | ETB | ' | 7 | G | W | g | w |
| 1000 | BS | CAN | (| 8 | H | N | h | n |
| 1001 | HT | EM |) | 9 | I | Y | i | y |
| 1010 | LF | SUB | * | : | J | Z | j | z |
| 1011 | VT | ESC | + | : | K | I | k | { |
| 1100 | FF | FS | , | < | L | \ | l | : |
| 1101 | CR | GS | - | = | M | | m | } |
| 1110 | SO | RS | . | > | N | o | n | -/ |
| 1111 | SI | US | / | ? | O | _ | o | DEL |